

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

02136068 **Image available**

MANUFACTURE OF MOS TYPE SEMICONDUCTOR DEVICE

PUB. NO.: 62-052968 [JP 62052968 A]

PUBLISHED: March 07, 1987 (19870307)

INVENTOR(s): NAKAYAMA RYOZO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 60-192007 [JP 85192007]

FILED: September 02, 1985 (19850902)

INTL CLASS: [4] H01L-029/78; H01L-021/265; H01L-029/60

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 529, Vol. 11, No. 240, Pg. 100.
August 06, 1987 (19870806)

ABSTRACT

PURPOSE: To obtain an LDD structure in which left and right N^(sup -) type region are identical self-aligningly by forming the shape of the end of a gate electrode with a taper angle larger than the incident angle of an ion beam for ion implantation.

CONSTITUTION: Field oxide films 12 and an SiO₂ film 13 as a gate insulating film are formed on a substrate 11. After that, after gate electrode material, for instance polycrystalline silicon, is applied to the whole surface, a photoresist 15 is selectively left and a tapered gate electrode 14 with a taper angle of 70 deg.-80 deg. is formed by reactive ion etching with the photoresist 15 as a mask. After that, the N^(sup -) type first impurity layers 16 are formed by applying ion implantation to the substrate surface with offset angle of the beam of 7 deg. with the gate electrode 14 as a mask. After a thermal oxide film 17 is formed around the gate electrode 14, a polycrystalline Si film 18, for instance, is deposited over the whole surface. Then the N^(sup +) type second impurity layers 19 are formed by ion implantation with the gate electrode 14 and the polycrystalline Si film 18 on the side wall of the gate electrode 14 as masks. Then the polycrystalline Si film 18 is removed.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

007105240

WPI Acc No: 1987-105237/198715

Electric concn.-mitigated MOSFET - obtd. by forming trapezoidal gate electrode under RIE, injecting phosphorous ion into wafer, etc.

NoAbstract Dwg 6/6

Patent Assignee: TOSHIBA KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------|------|----------|-------------|------|----------|----------|
| JP 62052968 | A | 19870307 | JP 85192007 | A | 19850902 | 198715 B |

Priority Applications (No Type Date): JP 85192007 A 19850902

Patent Details:

| Patent No | Kind | Lan Pg | Main IPC | Filing Notes |
|-----------|------|--------|----------|--------------|
|-----------|------|--------|----------|--------------|

| | | | | |
|-------------|---|---|--|--|
| JP 62052968 | A | 5 | | |
|-------------|---|---|--|--|

Title Terms: ELECTRIC; CONCENTRATE; MOSFET; OBTAIN; FORMING; TRAPEZOID; GATE; ELECTRODE; RIE; INJECTION; PHOSPHOROUS; ION; WAFER; NOABSTRACT

Index Terms/Additional Words: METAL; OXIDE; SEMI; CONDUCTOR; FIELD; EFFECT; TRANSISTOR; REACT; ION; ETCH

Derwent Class: L03; U12

International Patent Class (Additional): H01L-021/26; H01L-029/78

File Segment: CPI; EPI

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭62-52968

⑫ Int. Cl. 1
H 01 L 29/78
21/265
29/60

識別記号 庁内整理番号
8422-5F
7738-5F

⑬ 公開 昭和62年(1987)3月7日
審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 MOS型半導体装置の製造方法

⑮ 特願 昭60-192007
⑯ 出願 昭60(1985)9月2日

⑰ 発明者 中山 良三 川崎市幸区小向東芝町1 株式会社東芝総合研究所内
⑱ 出願人 株式会社東芝 川崎市幸区堀川町72番地
⑲ 代理人 弁理士 則近 憲佑 外1名

明細書

1. 発明の名称

MOS型半導体装置の製造方法

2. 特許請求の範囲

半導体基板上にゲート遮蔽膜を介して端部がテーパー加工されたゲート電極を形成する工程と、このゲート電極をマスクに傾斜イオンビームを照射して基板と逆導電型の低濃度不純物層を形成する工程と、前記半導体基板表面全面に被膜を形成する工程と、この被膜を通して傾斜イオンビームを照射して基板と逆導電型の高濃度不純物層を形成する工程とを備えた事を特徴とするMOS型半導体装置の製造方法。

3. 発明の詳細を説明

〔発明の技術分野〕

本発明はMOS型電界効果トランジスタの製造方法に係り、特にトランジスタ内部の電界集中を緩和したトランジスタの製造方法に関する。

〔発明の技術的背景とその問題点〕

現在MOS型電界効果トランジスタにおいて高

集積化のためのデバイス寸法は確実に縮小化の方向にあるが、これに当り種々の問題が出て来ている。その1つにドレイン近傍の電界集中の影響がある。これは、電子寸法が小さくなるにもかかわらず、電界電圧が低減されないために起こる。これによりドレイン近傍で加速された電子は、ホットエレクトロンや、ホットキャリア発生の原因の1つとなっている。そして、ゲート酸化膜にトラップされた電子は、しきい値シフトの原因となり、MOSトランジスタの信頼性が低下する。このようないずれドレイン近傍の電界集中を緩和させ、ホットエレクトロンやホットキャリアの発生を弱め、さらにしきい値変動を減少させる方法として、種々のデバイス構造が提案されて来た。第5図にLDD (Lightly Doped Drain) 構造を示す。これはドレインのゲート方向に不純物濃度の低いローレー層を形成し、これにより、ドレイン近傍の電界を緩和しようとするものである。

このローレー層を形成するのにゲート電極(5)をマスクにイオン注入法を用いている。このイオン注入

後ではチャンネリングを防止するために基板表面に対して5~10°程度傾けてイオン注入を行なっている。このためゲート電極を後退化するために異方性エッチングを用いて垂直の端部形状にするため、ゲート電極の左右では、イオン注入されるn+領域の寸法が異なってくる。第6図にこの状態を示す。つまり、n+領域の寸法を左はa、右はbとした時、a < bとなる。またゲート電極とn+領域がオフセット(図で示す)が生じる。このa < bという様にn+の寸法が左右で異なると、n+は抵抗分を有しているので、ドレインとソースを入れ換えて動作させた時の電流増幅率(βm)等のトランジスタ特性が異なって来る。このため、回路が動作しなくなる。また、オフセットが生じる事により、チャネル領域をゲート電極で制御出来なくなるという問題が生じる。

この問題はウエハーの周辺部にをればなる程頭著になるので、ウエハーの大口径になる程大きくなる。

【発明の目的】

本発明の一実施例を第1図~第3図を用いて説明する。まず、例えばP(100)のSi基板(11)を用いてフィールド酸化膜(12)を例えばBOX法を用いて形成した後、例えば熱酸化法によりゲート電極としてSiO₂膜(13)を200Å程度形成する。その後、全面にゲート電極材料として例えばPoly-Si膜を約4000Å程度形成した後、等真鍮刻法を用いて選択的にフォトマスク(15)を形成させ、前記フォトマスク(15)をマスクに例えばCF₄ガスとO₂ガスを用いた反応性イオンエッチング(RIE)によりテーパー角が約70°~80°のゲート電極(14)をテーパー形成する。その後、ゲート電極(14)をマスクに基板表面(11)に対してピームのオフセット角度が7°であるイオン注入により例えばP+(リン)を50KeV 3×10¹³/cm²の条件で第1の不純物層n+(16)を形成する。

【第1図参照】

次に例えば熱酸化法によりゲート電極(14)の周囲に熱酸化膜(17)を約300Å形成した後、全面に

この発明は高集積化においてのLDD構造の工程において自己整合的に左右のn+領域が等しいLDD構造を得ることを可能にした半導体装置の製造方法を提供することを目的とする。

【発明の概要】

本発明はゲート電極の端部形状をイオン注入のイオンビームの入射角より大きなテーパ角に形成して、ゲート電極の下に形成される左右のn+領域の寸法の違いを小さくする方法である。

【発明の効果】

本発明によれば、左右のn+領域の寸法を同一に形成する事が出来るので、ソース・ドレインを入れ換えた時でも電流増幅率(βm)の差がなくなるので、設計通りのTr特性が得られる。

またn+領域とゲート電極のオフセットも防げるので、ゲート電極でチャネル領域を制御出来なくなるという問題も防げるので、高信頼性の微細なTrが形成出来る。

ウエハーの大口径によるTr特性のバラツキも防ぐ事が出来る。

例えばPoly-Si膜(18)を1500Å程度積層する。その後前記Poly-Si膜(18)を通して、ゲート電極(14)およびゲート電極(14)周囲のPoly-Si膜(18')をマスクにイオン注入法により例えば、As⁺を200KeVで3×10¹³/cm²の条件で、第2の不純物層n+(19)を形成する。(第2図参照)

次に前記Poly-Si膜(18)を例えばCF₄およびO₂ガスを用いたCDE(ケミカル・ドライ・エッチング)により除去する。(第3図参照)

後は周知の技術により配線工程を行ない半導体装置を製造する。

この方法によれば、10°程度のイオンビームのオフセットに対してn+(16)、n+(17)の不純物層は、ゲート電極(14)に対して同じ寸法で形成する事が出来る。このようにゲート電極のテーパ角と同じイオンビームのオフセットが許容される事になる。

テーパ角をコンドロールする方法として、前記ゲート電極の上部に長い不純物層を形成する事によっても容易に形成出来る。

例えば、Poly-Siをゲート電極として、上部に例えはP⁺を $4 \times 10^{14}/\text{cm}^2$ イオン注入し、その後パターニングする事によりテーパ角を45°、 $2 \times 10^{13}/\text{cm}^2$ で30°が得られる。又D-16の寸法(第3図のLで示す。)はPoly-Si膜(18)の膜厚で容易に側面良好に変化できる。又裏としてPolyの他SiN、BPSG、BSP、PSG等がつかえる。また、膜を除去しなくても良い。この場合工程が短縮出来る。

また従来のように開封焼し工程によるRIEのダメージが形成されないのでTrの信頼性が向上する。

さらにフィールドの裏ベリがないためフィールド膜厚を最初に形成する時厚くする必要がないため、微細化が出来る。

またテーパ角を有しているため、後の工程での基板表面の平滑化が容易となり、その上の金属配線の断切れ等の不良も発生しなくなる。

本方法はD-Cb Trで説明したがP-Cb、CMOS等に応用出来る。

また、第4図に示す様D-層(24)を形成した後基板と同導電型の不純物層(P⁻)(26)をD-層(24)の下に形成すると良い。これによりショートチャネル効果を防止できるので、より微細なTrが形成出来る。

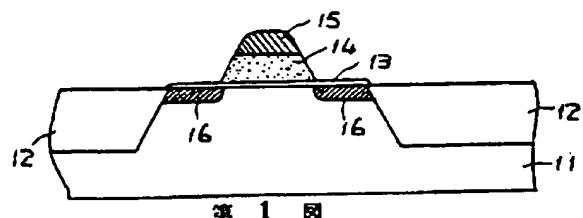
4. 図面の簡単な説明

第1図、第2図、第3図及び第4図は本発明の実施例の断面図、第5図、第6図は従来の断面図である。

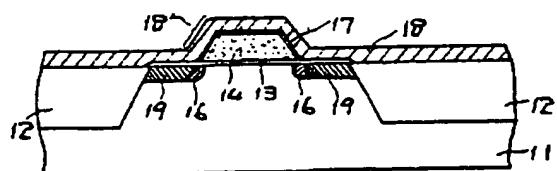
1, 11-Si基板、12-フィールド酸化膜、4, 6, 13, 17, 22-SiO₂膜、5, 14, 23-ゲート電極、15-フォトレジスト、7, 2, 19, 25-n⁺層、3, 16, 24-D-層、26-P⁻層、18-Poly-Si膜。

代理人 井國士 則近彦佑

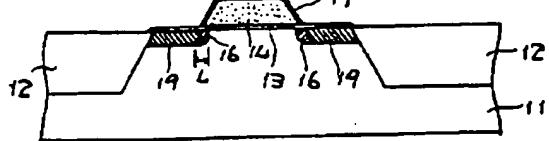
同 竹花喜久男



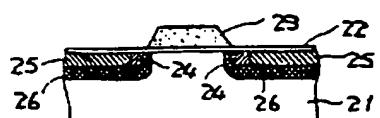
第1図



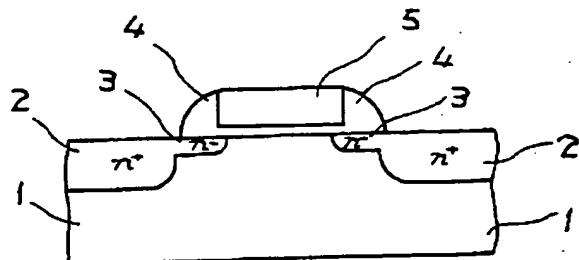
第2図



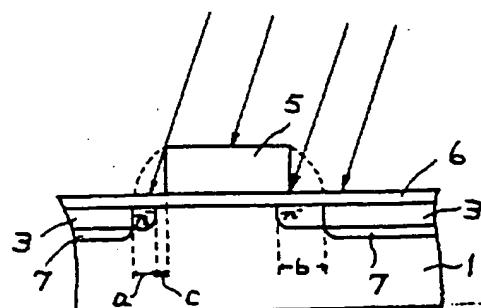
第3図



第4図



第5図



第6図